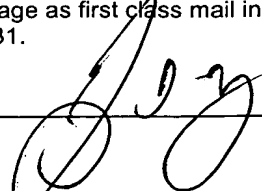




Sub #3
8-8-02

Docket No.: WMP-SME-515

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By:  Date: December 20, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jenoe Tihanyi
Appl. No. : 10/007,397
Filed : October 22, 2001
Title : Semiconductor Component

CLAIM FOR PRIORITY

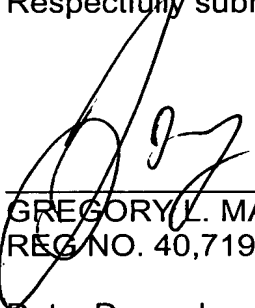
Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 52 170.3 filed October 20, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG NO. 40,719

Date: December 20, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 100 52 170.3

Anmeldetag: 20. Oktober 2000

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleiterbauelement

IPC: H 01 L 29/06

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 6. November 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Waasmaier

WESTPHAL, MUSSGNUG & PARTNER
Patentanwälte · European Patent Attorneys

sme515

Infineon Technologies AG
St.-Martin-Straße 53

81669 München

- Patentanmeldung -

Halbleiterbauelement

Beschreibung

Halbleiterbauelement

- 5 Die vorliegende Erfindung betrifft ein Halbleiterbauelement, insbesondere einen mittels Feldeffekt steuerbaren Transistor.

10 Aus der DE 198 28 191 C1 ist ein lateraler Hochspannungstransistor bekannt, der auf einem n-leitenden Substrat eine epitaktische Schicht aufweist, in der Source- und Drain-Zonen sowie eine die Source-Zone umgebende Kanalzone ausgebildet sind. In der epitaktischen Schicht sind Trenche vorgesehen, deren Seitenwände stark mit einem zu der übrigen epitaktischen Schicht komplementären Dotierstoff dotiert sind. Mit-

15 tels einer Gate-Elektrode, die isoliert gegenüber der Kanalzone ausgebildet ist, kann ein leitender Kanal in der Kanalzone gesteuert werden.

20 Bei Anlegen einer Source-Drain-Spannung breitet sich bei diesem Transistor -wenn keine Gate-Source-Spannung angelegt ist- ausgehend von der Source-Zone eine Raumladungszone aus, die mit steigender Spannung nach und nach die komplementär dotierten Seitenwände der Trenche in Richtung der Drain-Zone erreicht. Dort, wo sich die Raumladungszone ausbreitet, re-

25 kombinieren freie Ladungsträger der dotierten Seitenwände der Trenche mit freien Ladungsträgern der umgebenden epitaktischen Schicht. In diesen Bereichen, in denen sich die freien Ladungsträger durch Rekombination gegenseitig kompensieren resultiert mangels freier Ladungsträger eine hohe Durchbruch-

30 spannung. Die Sperrspannung des Transistors lässt sich durch die Dotierung der Trenche einstellen, wobei die epitaktische Schicht vergleichsweise hoch dotiert ist, woraus bei angesteuertem Gate ein niedriger Einschaltwiderstand des Transistors resultiert.

35

Derartige Transistoren mit kleinem Einschaltwiderstand aber hoher Sperrspannung sind derzeit nur als diskrete Bauelemente

erhältlich, das heißt in einem Halbleiterkörper ist lediglich der Transistor realisiert. Für viele Anwendungen, beispielsweise zum Schalten von Lasten ist es allerdings wünschenswert, einen Transistor als Schaltelement und dessen zugehörige Ansteuerschaltung, beispielsweise in CMOS-Technologie, in einem einzigen Halbleiterkörper zu integrieren.

Dieses Ziel wird durch ein Halbleiterbauelement gemäß den Merkmalen des Anspruchs 1 gelöst.

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

Das erfindungsgemäße Halbleiterbauelement weist einen Halbleiterkörper mit einem Substrat eines ersten Leitungstyps und einer darüberliegenden ersten Schicht eines zweiten Leitungstyps auf. In der Schicht des zweiten Leitungstyps ist eine Kanalzone des ersten Leitungstyps mit einer benachbart dazu angeordneten ersten Anschlusszone des zweiten Leitungstyps ausgebildet. In der zweiten Schicht ist des weiteren eine zweite Anschlusszone des zweiten Leitungstyps ausgebildet. Die erste Anschlusszone bildet bei einem Transistor die Source-Zone und die zweite Anschlusszone bildet die Drain-Zone. Die Source-Zone ist in der zweiten Schicht von einer Kanalzone umgeben, in der sich ein leitender Kanal durch Anlegen eines Ansteuerpotentials an eine isoliert gegenüber der Kanalzone angeordnete Steuerelektrode bzw. Gate-Elektrode ausbilden kann.

Um die erste Schicht zur Erreichung eines niedrigen Einschaltwiderstandes hoch dotieren zu können und andererseits eine hohe Sperrspannung zu erreichen, sind in der ersten Schicht Kompensationszonen des ersten Leitungstyps vorgesehen, wobei zwischen diesen Kompensationszonen und dem Substrat des ersten Leitungstyps eine zweite Schicht des zweiten Leitungstyps ausgebildet ist, die vorzugsweise niedriger als die erste Schicht dotiert ist.

Bei integrierten Schaltungen liegt das Substrat üblicherweise auf einem Bezugspotential. Die zweite Schicht verhindert dann, dass bei Anlegen eines hohen Potentials an eine der Anschlusszonen Ladungsträger in das Substrat gelangen, wo sie zu anderen Schaltungskomponenten in dem Halbleiterkörper, beispielsweise zu einer Ansteuerschaltung, gelangen könnten, deren Funktion sie stören würden. Die zweite Schicht wird bei einer großen Potentialdifferenz zwischen einer der Anschlusszonen und dem Substrat aufgrund der sich dann ausbildenden Raumladungszone ausgeräumt, das heißt die freien Ladungsträger in der zweiten Schicht rekombinieren mit freien Ladungsträgern des Substrats und/oder der Kompensationszonen. Die zweite Schicht bildet dann eine Potentialbarriere für freie Ladungsträger des ersten Leitungstyps zwischen der ersten Schicht und dem Substrat.

Gemäß einer Ausführungsform der Erfindung ist eine Begrenzungszone vorgesehen, die sich in vertikaler Richtung des Halbleiterkörpers erstreckt. Diese Begrenzungszone reicht vorzugsweise im unteren Bereich des Halbleiterkörpers bis an das Substrat und erstreckt sich im oberen Bereich des Halbleiterkörpers bis an die Kanalzone oder ist in lateraler Richtung des Halbleiterkörpers versetzt zu der Kanalzone angeordnet und reicht bis an eine erste Oberfläche des Halbleiterkörpers. Die Begrenzungszone des ersten Leitungstyps, die damit komplementär zu der ersten Schicht dotiert ist, begrenzt das erfindungsgemäße Halbleiterbauelement in lateraler Richtung des Halbleiterkörpers. Ein Ladungsträgeraustausch in lateraler Richtung wird durch die Begrenzungszone verhindert, wodurch jenseits dieser Begrenzungszone weitere Halbleiter-schaltungen, beispielsweise Ansteuerschaltungen in CMOS-Technologie realisiert werden können, wobei sich die Ansteuerschaltung und das erfindungsgemäße Halbleiterbauelement gegenseitig nicht stören.

Gemäß einer Ausführungsform der Erfindung ist vorgesehen, daß sich die Kompensationszonen in der ersten Schicht säulenförmig in vertikaler Richtung des Halbleiterkörpers erstrecken, wobei sich gemäß einer weiteren Ausführungsform wenigstens
5 einige der Kompensationszonen an die Kanalzone anschließen. Üblicherweise sind bei Transistoren die Source-Zone als erste Anschlusszone und die Kanalzone kurzgeschlossen, so daß sich die an die Kanalzone anschließenden Kompensationszonen auf demselben Potential wie die erste Anschlusszone befinden.

10

Gemäß einer weiteren Ausführungsform der Erfindung sind die Kompensationszonen kugelförmig ausgebildet und verteilt in der ersten Schicht des zweiten Leitungstyps angeordnet.

15 Eine weitere Ausführungsform sieht vor, die erste Schicht des zweiten Leitungstyps schwach zu dotieren und benachbart zu den Kompensationszonen, die insbesondere säulenförmig ausgebildet sind, stärker dotierte zweite Kompensationszonen des zweiten Leitungstyps auszubilden. Bei Anlegen einer hohen
20 Spannung zwischen der ersten und zweiten Anschlusszone räumen sich die Kompensationszonen des ersten Leitungstyps und die jeweils benachbarten zweiten Kompensationszonen des zweiten Leitungstyps gegenseitig aus, das heißt die freien Ladungsträger der Kompensationszone des ersten Leitungstyps rekombinieren mit den freien Ladungsträgern der zweiten Kompensationszone des zweiten Leitungstyps.
25

Bei einer Ausführungsform des erfindungsgemäßen Halbleiterbauelements ist vorgesehen, daß die zweite Anschlusszone wannenartig im Bereich der ersten Oberfläche des Halbleiterkörpers bzw. der ersten Schicht ausgebildet ist. Die Ladungsträger bewegen sich bei diesem Ausführungsbeispiel zwischen der ersten und zweiten Anschlusszone im wesentlichen in lateraler Richtung des Halbleiterkörpers fort. Bei einer weiteren Ausführungsform ist vorgesehen, daß sich die zweite Anschlusszone in vertikaler Richtung des Halbleiterkörpers bis an die
30 zweite Schicht erstreckt und im Bereich der zweiten Schicht
35

in lateraler Richtung des Halbleiterkörpers unterhalb der ersten Anschlusszone verläuft. Bei dieser Ausführungsform, bei welcher der laterale Abschnitt der hochdotierten zweiten Anschlusszone vergraben in dem Halbleiterkörper verläuft und
5 mittels des vertikalen Abschnitts an der ersten Oberfläche des Halbleiterkörpers kontaktierbar ist, erfolgt die Ladungsträgerbewegung im wesentlichen in vertikaler Richtung des Halbleiterkörpers.

10 Gemäß einer weiteren Ausführungsform ist vorgesehen, daß vertikale Abschnitte der zweiten Anschlusszone und der lateral verlaufende Abschnitt der zweiten Anschlusszone die ersten Anschlusszonen und wenigstens einige der Kompensationszonen wannenartig umschließen.

15

Die vorliegende Erfindung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert. In den Figuren zeigt:

20 Figur 1 ein erstes Ausführungsbeispiel eines erfindungsgemäßen Halbleiterbauelements in seitlicher Schnittdarstellung;

25 Figur 2 ein erfindungsgemäßes Halbleiterbauelement gemäß einer Ausführungsform mit langgestreckten ersten Anschlusszonen in Schnittdarstellung in Draufsicht;

30 Figur 3 ein erfindungsgemäßes Halbleiterbauelement mit einer ringförmig geschlossenen ersten Anschlusszone in seitlicher Schnittdarstellung in Draufsicht;

Figur 4 ein erfindungsgemäßes Halbleiterbauelement gemäß einer weiteren Ausführungsform der Erfindung in seitlicher Schnittdarstellung;

35

Figur 5 ein Halbleiterbauelement mit mehreren ersten Anschlusszonen und säulenförmig verlaufenden Kompensationszonen in seitlicher Schnittdarstellung;

5 Figur 6 ein Halbleiterbauelement mit mehreren ersten Anschlusszonen und kugelförmig ausgebildeten Kompensationszonen in seitlicher Schnittdarstellung;

10 Figur 7 ein Halbleiterbauelement mit mehreren ersten Anschlusszonen und benachbart angeordneten ersten und zweiten Kompensationszonen in seitlicher Schnittdarstellung; und

15 Figur 8 ein erfindungsgemäßes Halbleiterbauelement mit mehreren ersten Anschlusszonen und einer die ersten Anschlusszonen wannenartig umgebenden zweiten Anschlusszone in seitlicher Schnittdarstellung.

20 In den Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Abschnitte und Zonen mit gleicher Bedeutung.

25 Figur 1 zeigt ein als MOS-Transistor ausgebildetes erfindungsgemäßes Halbleiterbauelement in seitlicher Schnittdarstellung, wobei Figur 2 einen Schnitt durch das Halbleiterbauelement gemäß Figur 1 entlang der Schnittebene A - A' gemäß einer ersten Ausführungsform zeigt und wobei Figur 3 das Halbleiterbauelement gemäß Figur 1 in Draufsicht auf die Schnittebene A - A' gemäß einer zweiten Ausführungsform
30 zeigt.

Der erfindungsgemäße MOS-Transistor weist einen Halbleiterkörper 20 mit einem schwach p-dotierten Substrat 22 und einer darüberliegenden n-dotierten ersten Schicht 24 auf. In der
35 ersten Schicht 24 ist ausgehend von einer ersten Oberfläche 201 wannenartig eine p-dotierte Kanalzone 50 eingebracht, in welcher wannenartig eine stark n-dotierte ersten Anschlusszo-

ne der eine stark n-dotierte erste Anschlusszone 40 ausgebildet ist. Die erste Anschlusszone 40 bildet dabei die Source-Zone des MOS-Transistors. In der n-dotierten ersten Schicht 24 ist in lateraler Richtung des Halbleiterkörpers 20

5 beabstandet zu der Kanalzone 50 eine stark n-dotierte zweite Anschlusszone 60 eingebracht, welche in dem Ausführungsbeispiel gemäß Figur 1 ebenfalls wannenartig ausgehend von der ersten Oberfläche 201 ausgebildet ist. Die zweite Anschlusszone 60 bildet die Drain-Zone des MOS-Transistors. Die Drain-
10 Zone 60 ist mittels einer Drain-Elektrode 62 auf der ersten Oberfläche 201 kontaktiert, welche einen Drain-Anschluss des MOS-Transistors bildet. In entsprechender Weise ist die Source-Zone 40 mittels einer Source-Elektrode 52 kontaktiert, welche die Source-Zone 40 und die Kanalzone 50 kurzschließt
15 und welche den Source-Anschluss S des MOS-Transistors bildet.

Zur Ansteuerung des MOS-Transistors ist eine Gate-Elektrode 70 oberhalb der Kanalzone 50 vorgesehen, welche mittels einer Isolationsschicht 72 gegenüber dem Halbleiterkörper 20 iso-
20 liert ist und welche einen Gate-Anschluß des MOS-Transistors bildet.

Figur 1 zeigt im Querschnitt zwei Source-Zonen 40 bzw. Kanal-
25 zonen 50, jeweils in lateraler Richtung des Halbleiterkörpers 20 links und rechts neben der Drain-Zone 60. Diese Source-Zonen 40 sind miteinander verbunden und können, wie in Figur 2 dargestellt ist, als langgestreckte Streifen in dem Halbleiterkörper 20 ausgebildet sein, zwischen denen eine ebenfalls langgestreckte Drain-Zone 60 ausgebildet ist. Die lang-
30 gestreckten Source-Zonen und die langgestreckte Drain-Zone können sich bis zu Rändern oder Randbereichen des Halbleiterkörpers erstrecken. Die Kanalzone 50 und die Source-Zone 40 können die Drain-Zone 60, wie dies in Figur 3 dargestellt ist, auch ringförmig umschließen. Figur 1 zeigt einen Quer-
35 schnitt sowohl durch eine Ausführungsform des erfindungsgemäßen Halbleiterbauelements gemäß Figur 2 als auch eines erfindungsgemäßen Halbleiterbauelements gemäß Figur 3.

In der n-dotierten Schicht 24 sind p-dotierte Kompensationszonen 30 ausgebildet, welche sich in dem Ausführungsbeispiel gemäß Figur 1 säulenförmig in vertikaler Richtung des Halbleiterkörpers 20 erstrecken. Der Querschnitt dieser Säulen 30 ist in den Ausführungsbeispielen gemäß der Figuren 2 und 3 kreisförmig, dieser Querschnitt kann jedoch nahezu beliebige andere geometrische Formen annehmen und beispielsweise rechteckig oder quadratisch sein.

10

Die säulenförmigen Kompensationszonen 30 beginnen bei dem Ausführungsbeispiel gemäß Figur 1 auf Höhe der ersten Oberfläche 201 und erstrecken sich in vertikaler Richtung bis zu einer zweiten n-leitenden Schicht 26, welche zwischen den Kompensationszonen 30 und dem Substrat 22 ausgebildet ist. Diese zweite n-leitende Schicht 26 ist dabei vorzugsweise schwächer dotiert als die erste n-leitende Schicht 24.

15

Unterhalb der ersten Oberfläche 201 des Halbleiterkörpers 20 ist des weiteren eine p-dotierte Schicht 32 ausgebildet, welche vorzugsweise bis an die Kanalzone 50 heranreicht und welche die Kompensationszonen 30 miteinander verbindet. Die p-dotierte Schicht 32 reicht vorzugsweise nicht bis an die zweite Anschlusszone 60 heran. Ebenso reicht eine unterhalb der Drain-Zone 60 ausgebildete Kompensationszone 30A nicht bis an die Drain-Zone 60 heran.

20

25

Der Bereich der ersten Schicht 24, in welchem die Kompensationszonen 30 ausgebildet sind, bildet die Driftstrecke des MOS-Transistors. Der MOS-Transistor bzw. dessen Driftstrecke ist in lateraler Richtung des Halbleiterkörpers durch eine p-dotierte Begrenzungszone 80 begrenzt, welche sich in dem Ausführungsbeispiel gemäß Figur 1 in vertikaler Richtung des Halbleiterkörpers ausgehend von der Kanalzone 50 bis an das Substrat 22 erstreckt. Die Begrenzungszone 80 kann dabei, wie die Source-Zone 40 in Figur 2, unterhalb der Source-Zone langgestreckt bis an die Ränder des Halbleiterkörpers 20 ver-

30

35

laufen oder sie kann, entsprechend der Source-Zone 40 in Figur 3, die Driftstrecke ringförmig umgeben.

Die Begrenzungszone 80, die vorzugsweise höher als das p-dotierte Substrat 22 dotiert ist, bildet einen pn-Übergang mit der ersten Schicht 24 und verhindert, daß n-Ladungsträger durch die Begrenzungszone 80 in n-dotierte Zonen 124 benachbarter Bauelemente, bzw. benachbarter Halbleiterschaltungen gelangen, die in Figur 1 beispielhaft durch zwei CMOS-Transistoren T1, T2 und einem Anschluss für Versorgungspotential +U repräsentiert sind. Ein derartige Ansteuerschaltung könnte beispielsweise eine Ansteuerschaltung für den rechts in Figur 1 dargestellten erfindungsgemäßen MOS-Transistor sein, welche mit dem MOS-Transistor in dem selben Halbleiterkörper realisiert ist.

Beispielhaft sind im folgenden typische Dotierungskonzentrationen der einzelnen Zonen des Halbleiterbauelements gemäß Figur 1 angegeben:

20

Substrat 22:	Volumendotierung 10^{14} - 10^{15} cm ⁻³
n-dotierte Zone 124:	Volumendotierung 10^{15} - 10^{16} cm ⁻³
Drain-Zone 60:	Volumendotierung 10^{18} - 10^{20} cm ⁻³
Kompensationszonen 30:	Flächendotierung 10^{12} cm ⁻²
Driftstrecke 24:	Flächendotierung 10^{12} cm ⁻²
Zweite Schicht 26:	Flächendotierung 10^{12} cm ⁻²
Zone 32:	Flächendotierung $<10^{12}$ cm ⁻²

25

Dieser MOS-Transistor weist einen niedrigen Einschaltwiderstand und eine hohe Durchbruchspannung auf, wobei die zweite n-leitende Schicht 26 verhindert, daß Ladungsträger aus der Driftzone des MOS-Transistors in das Substrat 22 gelangen, wie im folgenden erläutert wird.

30

Wird bei dem erfindungsgemäßen MOS-Transistor eine positive Spannung zwischen dem Gate-Anschluß G und dem Source-Anschluss S angelegt, so bildet sich in der Kanalzone 50 un-

35

terhalb der Gate-Elektrode 72 ein leitender Kanal aus. Bei Anlegen einer positiven Spannung zwischen der Drain-Elektrode D und der Source-Elektrode S fließt ein Ladungsträgerstrom in lateraler Richtung des Halbleiterkörpers 20 durch die Driftstrecke zwischen der Source-Zone 40 und der Drain-Zone 60. Die Drain-Source-Spannung ist in Figur 1 als Spannung $+U_D$ dargestellt, wobei angenommen ist, daß die Source-Elektrode auf einem Bezugspotential der Schaltung, insbesondere Masse, liegt. Der Einschaltwiderstand R_{on} des MOS-Transistors ist umso geringer, je höher die Dotierung der ersten Schicht 24 mit n-Ladungsträgern ist.

Sperrt der MOS-Transistor, das heißt liegt kein Ansteuerpotential an dessen Gate-Elektrode an, so breitet sich bei Anlegen einer Drain-Source-Spannung eine Raumladungszone ausgehend von der Source-Zone 40 bzw. der Kanalzone 50 in der Driftstrecke in Richtung der Drain-Zone 60 aus. Diese Raumladungszone schreitet mit zunehmender Drain-Source-Spannung in Richtung der Drain-Zone 60 fort. Erreicht die Raumladungszone eine Kompensationszone 30, so nimmt die Kompensationszone 30 das Potential an, welches die Raumladungszone bei Erreichen der Rekombinationszone 30 besitzt. Freie p-Ladungsträger (Löcher) dieser Kompensationszone 30 rekombinieren dabei mit freien n-Ladungsträgern (Elektronen) aus den Bereichen der Driftstrecke, welche die jeweilige Kompensationszone umgeben. Die Anzahl der freien Ladungsträger werden in der Driftstrecke dadurch mit zunehmender Sperrspannung, bzw. sich weiter ausdehnender Raumladungszone, geringer. Durch die Kompensation der freien Ladungsträger weist der MOS-Transistor eine hohe Sperrspannung auf.

Das Substrat 22 liegt bei Halbleiterkörpern, in denen mehrere Halbleiterbauelemente realisiert sind, üblicherweise auf Bezugspotential. Das Substrat 22 ist bei dem Ausführungsbeispiel gemäß Figur 1 mittels einer auf dem Substrat aufgetragenen elektrisch leitenden Schicht 90, beispielsweise einer Metallisierung, kontaktierbar. Die Spannung zwischen dem

Drain-Anschluss 60 und dem Substrat 22 entspricht dann der Drain-Source-Spannung des MOS-Transistors. Mit zunehmendem Drain-Potential $+U_D$ breitet sich ausgehend von dem Substrat 22 eine Raumladungszone nach oben aus, wodurch die zweite n-

5 leitende Schicht ausgeräumt wird, das heißt die freien n-Ladungsträger der zweiten Schicht 26 rekombinieren mit Löchern in dem umgebenden Substrat 22 bzw. den sich nach oben anschließenden Kompensationszonen 30. Die zweite Schicht 26, die vorzugsweise derart dotiert ist, dass sie vollständig

10 ausgeräumt werden kann, bildet damit eine Potentialbarriere für freie Ladungsträger der Driftstrecke und verhindert, daß diese freien Ladungsträger in das Substrat 22 gelangen, wo sie sich ungehindert ausbreiten und die Funktion anderer in dem Halbleiterkörper 20 integrierter Halbleiterbauelemente

15 stören könnten.

Vorzugsweise sind die Dotierungen der Kompensationszonen 30, der Driftstrecke 24 und der zweiten Schicht 26 so aufeinander abgestimmt, dass die Anzahl der p-Ladungsträger in etwa der

20 Anzahl der n-Ladungsträger entspricht, so dass bei der maximal möglichen Sperrspannung, wenn die Raumladungszone ausgehend von der Source-Zone 40 die Drain-Zone 60 erreicht, die Kompensationszonen 40, Driftstrecke 24 und die zweite Schicht 26 vollständig ausgeräumt, das heißt keine freien Ladungsträger vorhanden, sind. Die Durchbruchspannung entspricht dann

25 der Durchbruchspannung einer undotierten Driftstrecke 24.

Der erfindungsgemäße MOS-Transistor mit der Source-Zone 40, der die Source-Zone umgebenden Kanalzone 50, der Drain-Zone

30 60, der Driftstrecke 24 mit den Kompensationszonen 30, der Begrenzungszone 80, einer n-leitenden Schicht 26 zwischen den Kompensationszonen 30 und mit dem Substrat 22 ist zusammen mit weiteren Halbleiterbauelementen in einem Halbleiterkörper integrierbar. Ein MOS-Transistor als Leistungsschalter mit

35 niedrigem Einschaltwiderstand und hoher Sperrspannung kann somit zusammen mit dessen Ansteuerschaltung platzsparend in einem Halbleiterkörper bzw. einem Chip integriert werden.

Figur 4 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Halbleiterbauelements im Querschnitt. Während sich bei dem Ausführungsbeispiel gemäß Figur 1 die p-leitende Begrenzungszone 80 ausgehend von der Kanalzone 50 in vertikaler Richtung des Halbleiterkörpers 20 bis an das Substrat 22 erstreckt, ist bei dem Ausführungsbeispiel gemäß Figur 4 die Begrenzungszone 80 in lateraler Richtung beabstandet zu der Kanalzone 50 angeordnet und erstreckt sich von der ersten Oberfläche 201 in vertikaler Richtung des Halbleiterkörpers 20 bis an das Substrat 22. In der n-leitenden Schicht 24 zwischen der Kanalzone 50 und der Begrenzungszone 80 sind säulenartige Kompensationszonen 30B, 30C, 30D ausgebildet, welche sich in vertikaler Richtung des Halbleiterkörpers 20 von der ersten Oberfläche 201 bis an die zweite n-leitende Schicht 26 erstrecken. Anders als die Kompensationszonen 30 zwischen der Kanalzone 50 und der Drain-Zone 60 sind die Kompensationszonen 30B, 30C, 30D zwischen der Kanalzone 50 und der Begrenzungszone 80 nicht durch eine p-leitende Schicht 32 miteinander verbunden. Die Kompensationszonen 30B, 30C, 30D zwischen der Kanalzone 50 und der Begrenzungszone 80 sind somit "floatend" in der zweiten Schicht 24 ausgebildet, das heißt sie befinden sich auf keinem definierten Potential und nehmen das Potential einer Raumladungszone an, welche sich bei sperrendem Halbleiterbauelement bis an die Kompensationszonen 30 erstreckt. Eine Entladung der Kompensationszonen 30B, 30C, 30D bei Wiedereinschalten des MOS-Transistors kann durch thermische Ladungsträger erfolgen.

Die Kompensationszonen 30B, 30C, 30D zwischen der Kanalzone 50 und der Begrenzungszone 80 erhöhen die Durchbruchspannung zwischen dem MOS-Transistor, der innerhalb einer durch die Begrenzungszone 80 und die n-leitende zweite Schicht 26 gebildeten Wanne ausgebildet ist und benachbarten Halbleiterbauelementen, welche in Figur 4 aus Gründen der Übersichtlichkeit nicht dargestellt sind.

Die Schnittdarstellung gemäß Figur 4 zeigt weiterhin Feldplatten 90, 91, 92, 93, 94, die durch eine Isolationsschicht 74 gegenüber dem Halbleiterkörper 20 isoliert auf der ersten Oberfläche 201 angeordnet sind. Diese Feldplatten beeinflussen in bekannter Weise den Feldlinienverlauf innerhalb und außerhalb des Halbleiterkörpers und verhindern einen Spannungsdurchbruch in den Randbereichen des MOS-Transistors Rändern des. Eine erste schräg nach oben verlaufende Feldplatte 90 ist dabei mit der Begrenzungszone 80, eine zweite und dritte Feldplatte 91, 92 mit dem Source-Anschluss S und eine vierte und fünfte Feldplatte 93, 94 mit dem Drain-Anschluss D verbunden.

Figur 5 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen als MOS-Transistor ausgebildeten Halbleiterbauelements in seitlicher Schnittdarstellung. Das Halbleiterbauelement gemäß diesem Ausführungsbeispiel weist mehrere Source-Zonen 40A, 40B, 40C und jeweils diese umgebende Kanalzonen 50A, 50B, 50C auf, wobei die Source-Zonen 40A, 40B, 40C und die Kanalzonen 50A, 50B, 50C an eine gemeinsame Source-Elektrode 52, S angeschlossen sind. Die Source-Zonen 40A, 40B, 40C sind insbesondere ringförmig ausgebildet, wobei Figur 5 einen Schnitt durch die Mitte dieser ringförmigen Source-Zonen zeigt.

Gate-Elektroden 70A, 70B, 70C, 70D sind bei dem Bauelement gemäß Figur 5 isoliert durch Isolationsschichten 72A, 72B, 72C, 72D auf dem Halbleiterkörper angeordnet und an eine gemeinsame Gate-Elektrode G angeschlossen. Die in Figur 5 dargestellten Gate-Elektroden 70A, 70B, 70C, 70D können insbesondere Bestandteile einer einzigen gitterartig ausgebildeten Gate-Elektrode sein, wobei unterhalb von Aussparungen des Gitters die Source-Zonen 40A, 40B, 40C, 40D mit den Kanalzonen 50A, 50B, 50C angeordnet sind und in den Aussparungen der Gitter eine Kontaktierung der Source-Zonen mittels der Source-Elektrode 52 erfolgt.

In der oberhalb des Substrats 22 angeordneten ersten n-leitenden Schicht 24 sind Kompensationszonen 30 ausgebildet, wobei sich einige dieser Kompensationszonen an die Kanalzonen 50A, 50B, 50C anschließen und sich säulenartig in vertikaler Richtung des Halbleiterkörpers 20 erstrecken. Andere Kompensationszonen 30E sind zwischen den Kanalzonen 50A, 50C und den Begrenzungszonen 80 ausgebildet, wobei sich die Begrenzungszonen von der ersten Oberfläche 201 des Halbleiterkörpers 20 bis an das Substrat 22 erstrecken. Die Drain-Zone 60 erstreckt sich in dem Ausführungsbeispiel gemäß Figur 5 ausgehend von der ersten Oberfläche 201 in vertikaler Richtung bis an die n-dotierte zweite Schicht 26, welche zwischen dem Substrat 22 und der ersten n-leitenden Schicht 24 ausgebildet ist. Die Drain-Zone 60 erstreckt sich zudem in lateraler Richtung des Halbleiterkörpers im Bereich der zweiten Schicht 26 unterhalb der ersten Anschlusszonen 40A, 40B, 40C. Während bei den Ausführungsbeispielen gemäß der Figuren 1 bis 4 der Ladungsträgertransport zwischen den Source-Zonen und den Drain-Zonen im wesentlichen in lateraler Richtung des Halbleiterkörpers 20 verläuft, so breiten sich die Ladungsträger bei dem Ausführungsbeispiel gemäß Figur 5 bei angesteuerter Gate-Elektrode G in vertikaler Richtung des Halbleiterkörpers zwischen den Source-Zonen 40A, 40B, 40C und dem lateral verlaufenden Abschnitt der Drain-Zone 60 aus. Das Volumen der Driftstrecke kann bei dem Ausführungsbeispiel gemäß Figur 5 durch die größere Fläche der Drain-Zone 60, an welcher Ladungsträger aus der Driftstrecke aufgenommen werden können, und der durch das Vorsehen mehrerer Source-Zonen 40A, 40B, 40C, bzw. Kanalzonen 50A, 50B, 60C, größeren Kanalfläche besser genutzt werden. Das heißt der MOS-Transistor gemäß Figur 5 weist gegenüber den MOS-Transistoren gemäß der Figuren 1 bis 4 eine höhere Stromfestigkeit auf. Bei dem Ausführungsbeispiel gemäß Figur 5 bilden die zweite Schicht 26 und der lateral verlaufende Abschnitt der Drain-Zone 60 eine Potentialbarriere für Ladungsträger aus der Driftstrecke in das Substrat 22.

Figur 6 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Halbleiterbauelements, welches sich von dem in Figur 5 dargestellten dadurch unterscheidet, daß die Kompensationszonen 30 in der ersten n-leitenden Schicht 24 kugelförmig ausgebildet und beanstandet zu den Kanalzonen 50A, 50B, 50C, 50D angeordnet sind.

Bei dem Ausführungsbeispiel gemäß Figur 7 ist die n-leitende Schicht 24 schwach n-dotiert, wobei neben den p-leitenden Kompensationszonen 30 zweite n-leitende Kompensationszonen 25 ausgebildet sind, wobei sich die jeweils benachbarten Kompensationszonen 30, 25 bei Ausbreiten einer Raumladungszone in der ersten Schicht 24 gegenseitig ausräumen, um so eine hohe Durchbruchspannung des Halbleiterbauelements zu bewirken. Einige der p-leitenden Kompensationszonen 30 sind bei dem Ausführungsbeispiel gemäß Figur 7 an die Kanalzonen 50A, 50B, 50C angeschlossen und liegen so auf Source-Potential.

Figur 8 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Halbleiterbauelements, bei welchem die Drain-Zone 60 im Querschnitt U-förmig ausgebildet ist und die ersten Anschlusszonen 40A, 40B, 40C, bzw. die Kanalzonen 50A, 50B, 50C und einige der Kompensationszonen 30 umschließt. Die Drain-Zone 60 ist vorzugsweise wannenförmig ausgebildet und umschließt die ersten Anschlusszonen 40A, 40B, 40C, bzw. die Kanalzonen 50A, 50B, 50C und einen Teil der Kompensationszonen 30 in lateraler Richtung des Halbleiterkörpers 20 nach allen Seiten.

Patentansprüche

1. Halbleiterbauelement, das folgende Merkmale aufweist:

- 5 - einen Halbleiterkörper (20) mit einem Substrat (22) eines ersten Leitungstyps (p) und einer darüberliegenden ersten Schicht (24) eines zweiten Leitungstyps (n),
- eine in der ersten Schicht (24) ausgebildete Kanalzone (50)
10 des ersten Leitungstyps (p) mit einer benachbart dazu angeordneten ersten Anschlusszone (40; 40A, 40B, 40C, 40D) des zweiten Leitungstyps (n),
- eine in der ersten Schicht (24) des zweiten Leitungstyps
15 ausgebildete zweite Anschlusszone (60) des ersten Leitungstyps (n),
- in der Schicht (24) des zweiten Leitungstyps (n) ausgebildete Kompensationszonen (30, 31) des ersten Leitungstyps (p),
20
- eine zwischen dem Substrat (22) und den Rekombinationszonen (30, 31) angeordnete zweite Schicht (26) des zweiten Leitungstyps (n).

25 2. Halbleiterbauelement nach Anspruch 1, bei dem sich in der ersten Schicht (24) eine Begrenzungszone (80) des ersten Leitungstyps in vertikaler Richtung des Halbleiterkörpers (20) erstreckt.

30 3. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem die Begrenzungszone (80) von der Kanalzone (50) bis an das Substrat (22) reicht.

35 4. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem die Begrenzungszone (80) in lateraler Richtung des Halbleiterkörpers (20) beabstandet zu der Kanalzone (50) angeordnet ist.

5. Halbleiterbauelement nach Anspruch 4, bei dem sich die Begrenzungszone (80) von einer ersten Oberfläche des Halbleiterkörpers (20) bis an das Substrat (22) erstreckt.

5 6. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die Kompensationszonen (30) säulenförmig ausgebildet sind.

10 7. Halbleiterbauelement nach Anspruch 6, bei dem sich wenigstens einige der Kompensationszonen (30) an die Kanalzone (50) anschließen.

15 8. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die Kompensationszonen (31) kugelförmig ausgebildet sind.

20 9. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem in der ersten Schicht (24) benachbart zu den Kompensationszonen (30) zweite Kompensationszonen (25) des zweiten Leitungstyps (n) ausgebildet sind, wobei die zweiten Kompensationszonen stärker als die zweite Schicht (24) dotiert sind.

25 10. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die Begrenzungszone (80) stärker dotiert ist, als das Substrat (22).

30 11. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die zweite Anschlusszone (60) einen sich in vertikaler Richtung des Halbleiterkörpers (20) bis an die zweite Schicht (26) erstreckenden Abschnitt und einen sich auf Höhe der zweiten Schicht (24) in lateraler Richtung erstreckenden Abschnitt aufweist.

35 12. Halbleiterbauelement nach Anspruch 11, bei dem der vertikale Abschnitt und der laterale Abschnitt der zweiten Anschlusszone (60) die erste Anschlusszone (40; 40A, 40B, 40C,

40D) und wenigstens einige der Kompensationszonen (30) wannenartig umschließen.

5 13. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die Anzahl der Dotierstoffatome des ersten Leitungstyps und die Anzahl der Dotierstoffatome des zweiten Leitungstyps in der ersten Schicht (24) etwa gleich sind.

14. Halbleiterbauelement, das folgende Merkmale aufweist:

10

- einen Halbleiterkörper (20) mit einem Substrat (22) eines ersten Leitungstyps (p) und einer darüberliegenden ersten Schicht (24) eines zweiten Leitungstyps (n),

15 - eine in vertikaler Richtung des Halbleiterkörpers (20) verlaufende, bis an das Substrat reichende Begrenzungszone (80) des ersten Leitungstyps (p) und eine zwischen der Schicht (24) des zweiten Leitungstyps (n) und dem Substrat ausgebildete zweite Schicht des zweiten Leitungstyps (n), die schwächer als die erste Schicht dotiert ist.
20

Bezugszeichenliste

	20	Halbleiterkörper
	22	Substrat
5	24	erste n-leitende Schicht
	26	zweite n-leitende Schicht
	30, 30A	Kompensationszone
	32	p-leitende Schicht
	40	Source-Zone
10	50, 50A, 50B, 50C	Kanalzone
	52	Source-Elektrode
	60	Drain-Zone
	62	Drain-Elektrode
	70	Gate-Elektrode
15	70A, 70B, 70C, 70D	Gate-Elektroden
	72	Isolationsschicht
	72A, 72B, 72C, 72D	Isolationsschichten
	80	Begrenzungszone
	90	Metallisierung
20	90, 91, 92, 93, 94	Feldplatten
	95	Feldplatte
	124	n-leitende Schicht
	126	n-leitende Schicht
	201	erste Oberfläche des Halbleiterkörpers
25	T1, T2	CMOS-Transistoren
	S	Source-Anschluß
	G	Gate-Anschluß
	D	Drain-Anschluß
	+U _D	Drain-Potential
30	n	n-dotierte Zone
	p	p-dotierte Zone

Zusammenfassung

Halbleiterbauelement

5 Halbleiterbauelement, das folgende Merkmale aufweist:

- einen Halbleiterkörper (20) mit einem Substrat (22) eines ersten Leitungstyps (p) und einer darüberliegenden ersten Schicht (24) eines zweiten Leitungstyps (n),

10

- eine in der ersten Schicht (24) ausgebildete Kanalzone (50) des ersten Leitungstyps (p) mit einer benachbart dazu angeordneten ersten Anschlusszone (40; 40A, 40B, 40C, 40D) des zweiten Leitungstyps (n),

15

- eine in der ersten Schicht (24) des zweiten Leitungstyps ausgebildete zweite Anschlusszone (60) des ersten Leitungstyps (n),

20

- in der Schicht (24) des zweiten Leitungstyps (n) ausgebildete Kompensationszonen (30, 31) des ersten Leitungstyps (p),

- eine zwischen dem Substrat (22) und den Rekombinationszonen (30, 31) angeordnete zweite Schicht (26) des zweiten Leitungstyps (n).

Figur 1

FIG1

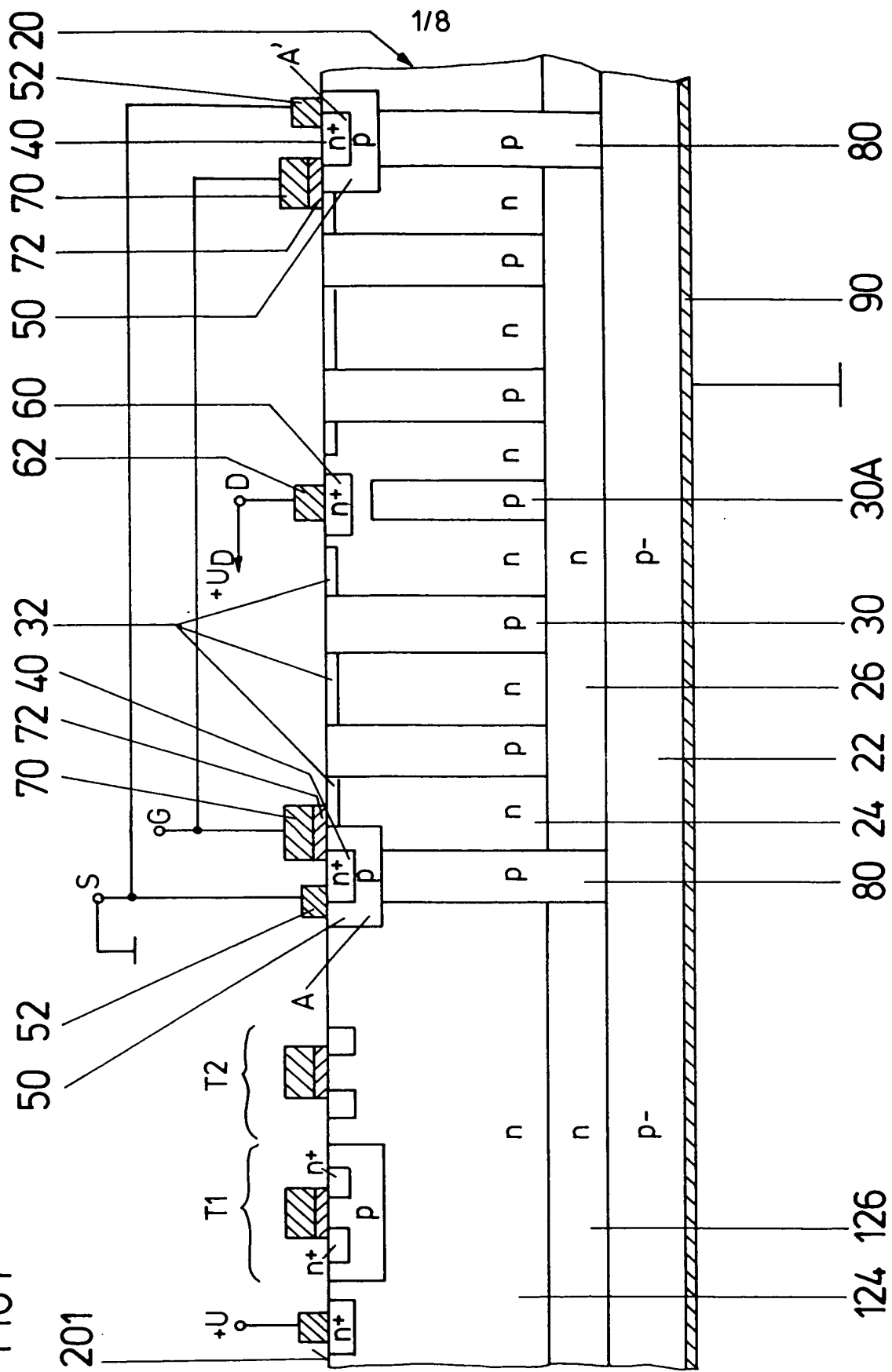


FIG 2

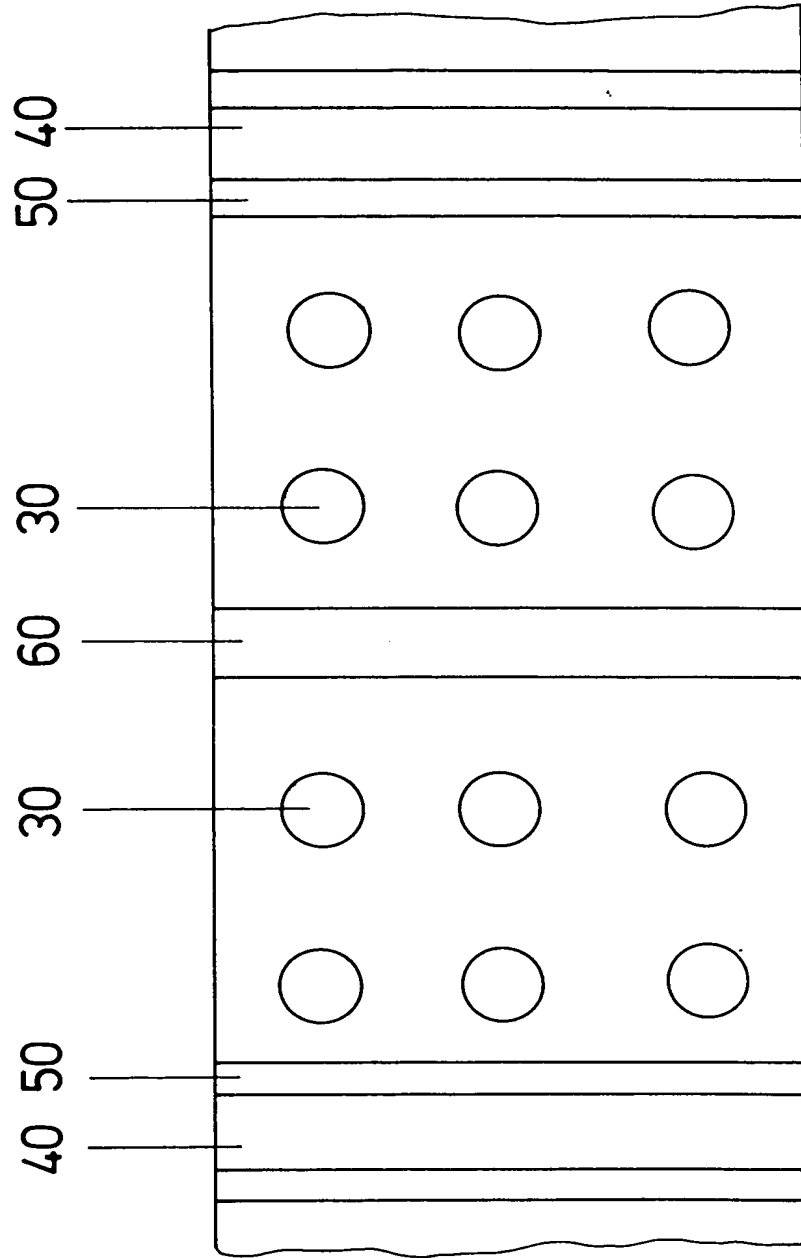


FIG 3

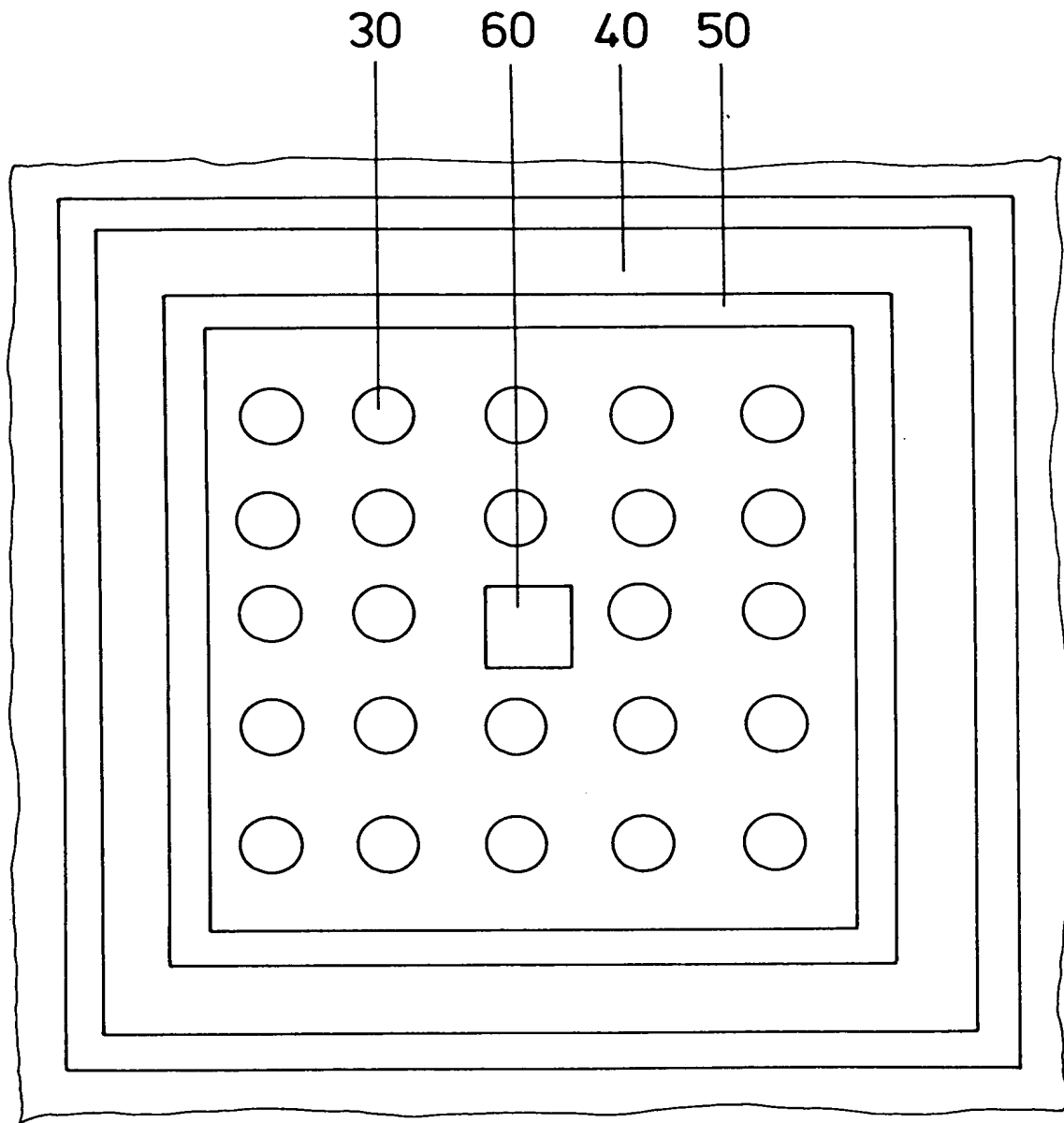
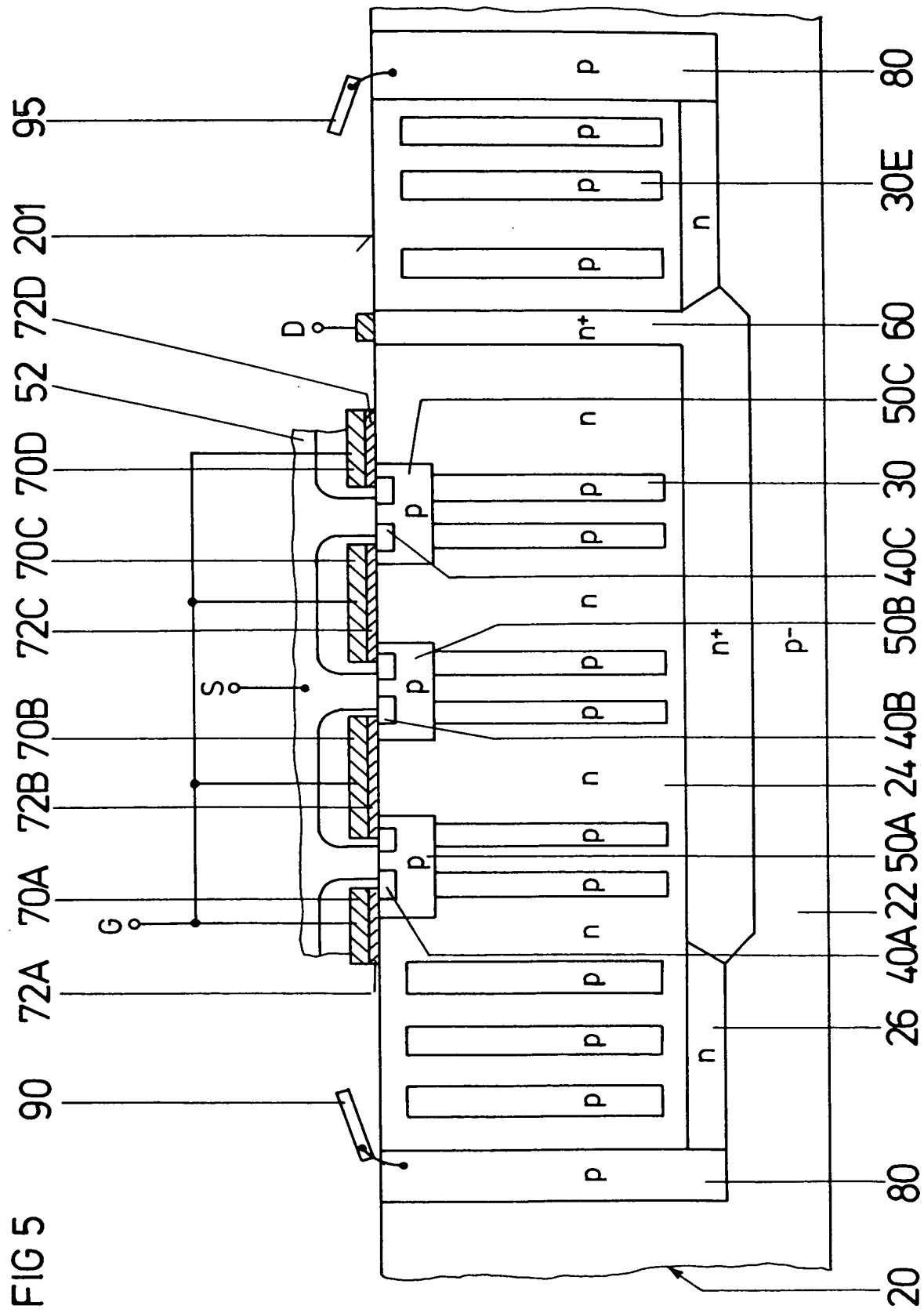


FIG 5



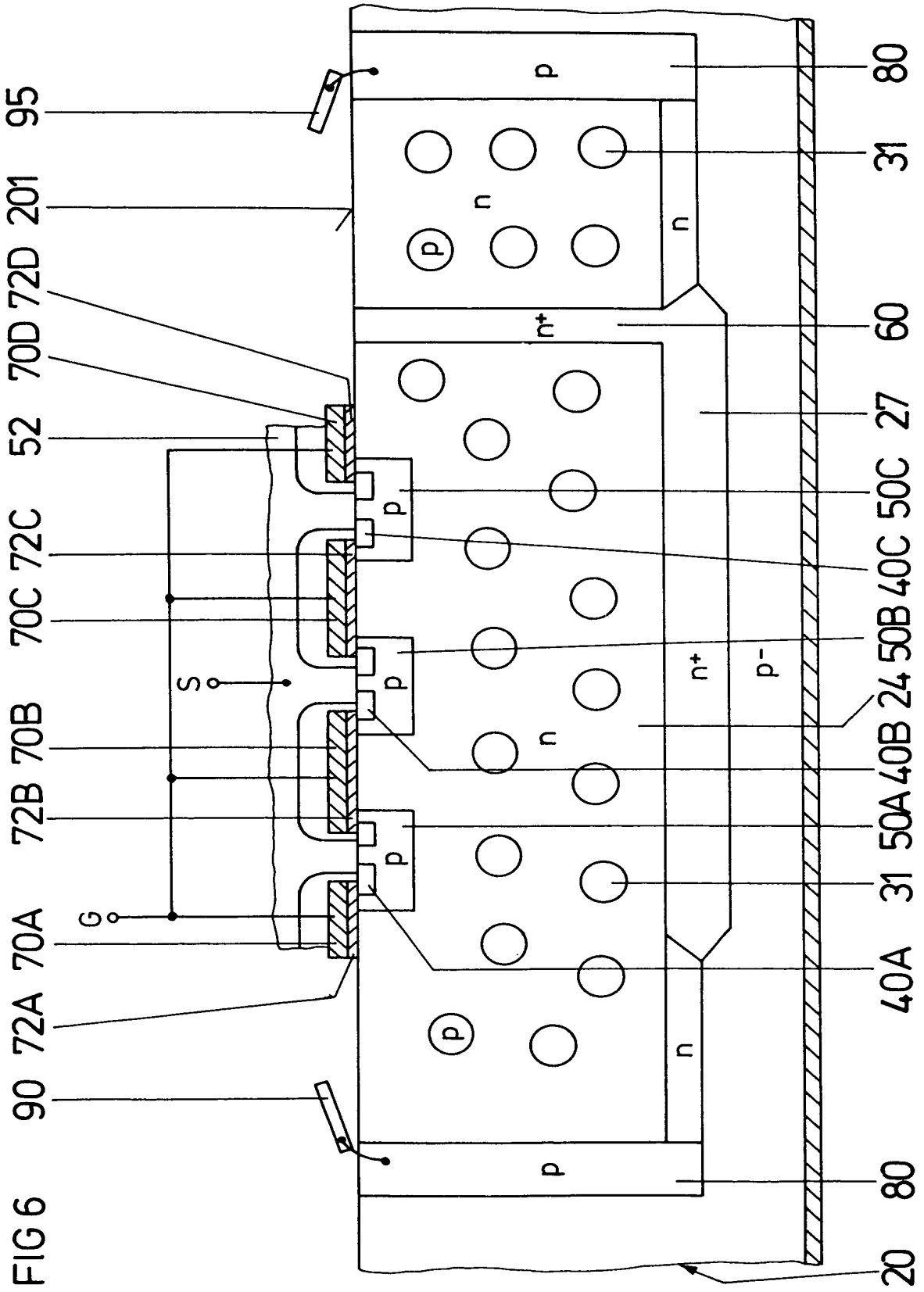
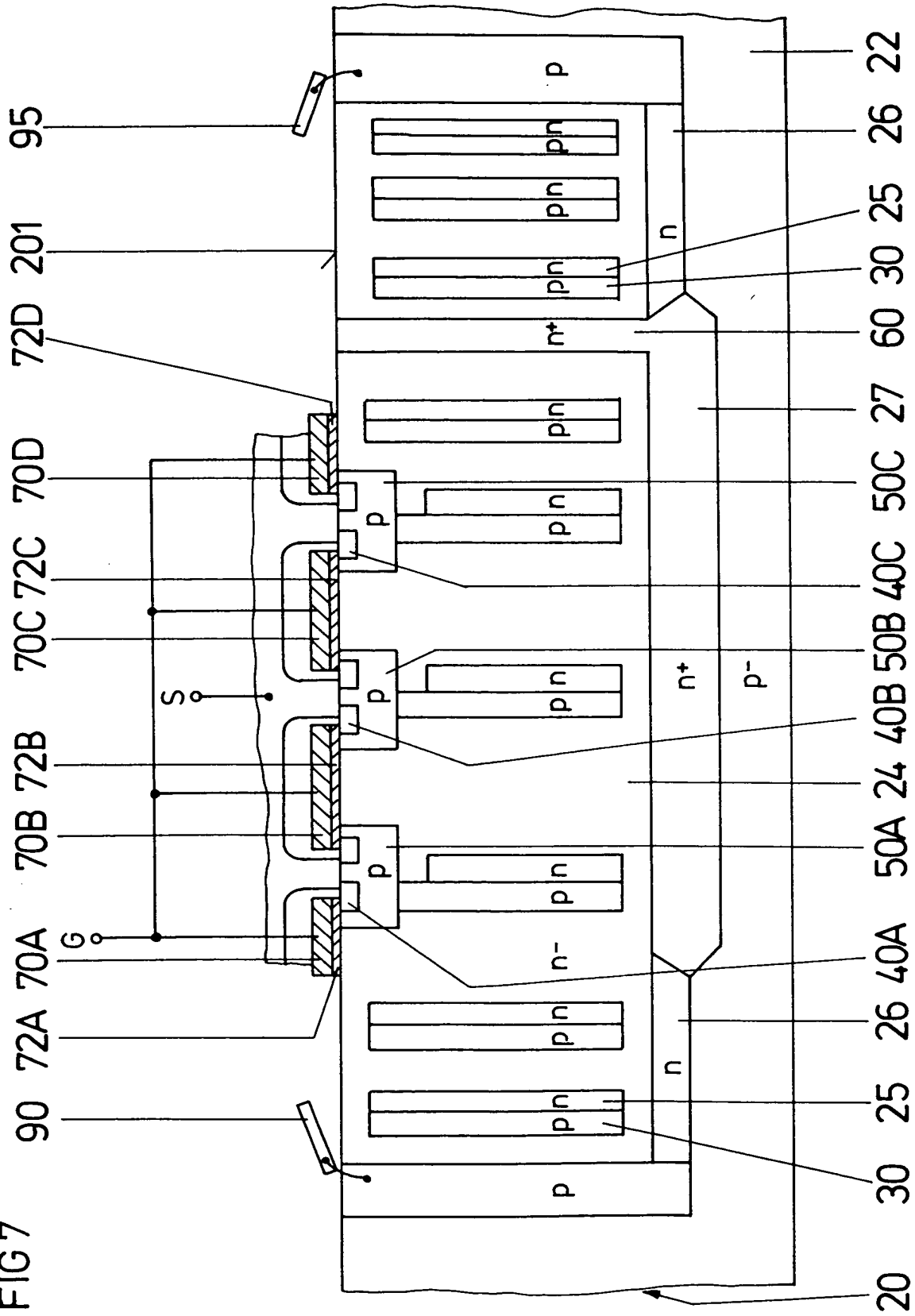


FIG 7



24	72A	70A	70B	72B	70C	72C	52	70D	201
----	-----	-----	-----	-----	-----	-----	----	-----	-----

